KOREAN PATENT ABSTRACT (KR)

Patent Laid-Open Gazette

(51) IPC Code: H01J 1/30

(11) Publication No.: P2001-0046796 (43) Publication Date: 15 June 2001

(21) Application No.: 10-1999-0050700 (22) Application Date: 15 November 1999

(71) Applicant:

KIM, DUK JOONG, Institute for Advanced Engineering (IAE) 526, Namdaemunro-5-ga, Jung-gu, Seoul, Korea

(72) Inventor:

CHOI, YOUNG WHAN NAM, MYOUNG WOO

(74) Attorney:

PARK, HEE JIN, PARK, YOUNG WOO

(54) Title of the Invention:

Field emission device and method of manufacturing the same

Abstract:

A field emission device which simplifies a structure and improves the uniformity of electrons emitted from a micro-tip, and a method of manufacturing the same are provided. A cathode electrode is formed on a glass substrate or a silicon substrate. A gate insulating layer and a gate electrode are sequentially formed to have a gate hole. A resistive layer and a micro-tip are sequentially formed on the cathode electrode in the gate hole. The resistive layer is formed using self alignment or mechanical chemical polishing. Accordingly, a desired image can be precisely realized, and the life span of the field emission device is lengthened.

공개특허 제2001-46796호(2001.06.15) 1부.

[첨부그림 1]

与2001-0046796

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl. [*] HD1J 1 /3 D	(11) 공개번호 목2001-0046796 (43) 공개일자 2001년06월 15일
(21) 출원번호 (22) 출원임자	10-1999-0050700 1999년11월15일
(71) 출원인	시단법인 고등기술연구원 연구조합 김덕종
(72) 발명자	서울 중구 남대문로5가 526번지 최명환
	경기도수원시골달구원천동??-20 남향우
(74) 대리인	경기도수원시팔달규영룡동955 (황골마출주공)단지(33:604) 박희진) 박영우
실사경구: 2J용	

(54) 전계방출소자 및 이의 제조방법

89

구조의 단순화 및 마이크로탑으로부터 방출되는 전자의 균일도를 할상하기 위한 전계방출소자 및 미의 제조방법이 개시되어 있다. 개소도 전국이 유리 기판 또는 살리콘 기판 상에 형성되어 있다. 그리고 게이트 절면을 및 게이트 전국이 게이트 용용 가지면서 순차적으로 형성되어 있다. 상기 게이트 홍 내의 개소도 전략 상부에는 저항충을 및 마이크로탑이 순차적으로 형성되어 있다. 상기 저항충은 자기정렬기법 또는 기계화학적면마로 형성한다. 따라서 소망하는 화상을 정확하게 구현할 뿐만 아니라 전계방출소자의 수명이 연장된다.

aus

<u>55</u>

YAK

医胆型 建田里 盘留

- 도 1 내지 도 4는 증래의 전계방출소자를 도시한 단면도들이다.
- 도 5는 본 발명에 따른 전계방출소자를 도시한 단면도이다.
- 도 6a 내지 도 6s는 본 발명에 따른 전계방출소자의 제조방법의 제1 실시예를 설명하기 위한 단면도이다.
- 도 7a 내지 도 7h는 본 발명에 따른 전계방출소자의 제조방법의 제2 실시예를 설명하기 위한 단면도이다.
- 노면의 주요분분에 대한 부호의 설명 →
- 10, 60, 80 : 유리기관
- 12, 52 : 캐소드 전국
- 14, 54, 64, 84 월계이트 절면총
- 16, 56 : 게이트 전국
- 18, 58, 76, 96 : 미이크로탑
- 20, 30, 40, 57, 70, 88 : 저항충
- 50 : 기판
- .62 .82 : 캐소드 전국총
- 66, 86 : 게이트 전국총
- 68, 72 : 분리층
- 74, 90, 94 : 금旁층:
- .92 : 회생층

발명의 상세관 설명

발명의 목적

발명이 속하는 기술분이 몇 그 분야의 종립기술

본 방영은 전계방출소자 및 이의 제조방법에 관한 것으로써, 보다 상세하게는 개소도 전국과 마이크로립 (Microtips) 사미에만 저항충급 형성하며 구조의 단순화 및 마이크로립으로부터 방출되는 전자의 균일도 급 항상시킨 전계방출소자 및 미의 제조방법에 관한 것이다.

최근의 미스클레이공치는 고화점, 고해상도의 평면 티스클레이공치(Flat Panel Display Device)로 발견되어 가는 추세이다. 이와 같은 평면 다스클레이공치는 LCO(Liquid cryste), PDF(Plasma, Display Panel), DND(Digital Hirror Device) 등으로 다양하게 용용되는데, 이 중에서 전자의 방출을 이용하는 소자가 전계방출소자(Field Emission Display : FED)이다.

상기 전계방출소자는 캐소드 전국 상에 미미크로탑을 형성시키고, 게이트 전국을 상기 마미크로탑에 근접 하게 위치시켜, 5×10 WOs 정도의 전기장을 상기 마미크로탑의 단부에 형성시킴으로써, 상기 미미크로탑 으로부터 전자가 방音되는 전계방音을 이용한다는 그리고 상기 마이크로탑으로부터 방音된 전자는 다시 캐 소드 전국과 에노드 전국 간의 전계에 되해 가수되며, 상기 메노드 전국에 형성된 형광송에 흥물한다. 미 에 따라 형광송이 발광됨으로써 소망하는 회상을 얻는다.

도 1 내지 도 3은 중래의 전계방출소자를 설명하기 단면도름이다.

도 1을 참조하면, 소타 라임: 클래스(Soda Line (Olass) 등과 같은 유리기판(10) 상에 '캐소드'전국(12), 게 이트 철연용(14) 및 '게이트 전국(16) 등이 '순차적으로 '현성되어 있다' 크리고 '게이트 철연용(14) 및 '게이 '트 전국(16)을 패턴화함으로써 현성된 게이트 올 내에는 원뿔형의 '마이크로립(Microtics)(18)이 형성되어 있다.

상기와 같은 구성의 전계방출소자는 캐소드 전국(12)에 인가되는 전류에 따라 마이크로빌(18)으로부터 방 출되는 전자의 '교업도가 결정되지만, 캐소드 전국(12)에 인가되는 전류의 제이가 용이하지 않기 때문에 마이크로빌(18)으로부터 방출되는 전자의 교업도를 일정하게 유지하기가 메립다. 또한 일부의 마이크로립 (18)에 전류가 과도하게 인가일으로써 마이크로빌(18) 자체에 직접적인 손상이 가해지기도 한다.

따라서 최근에는 전술한 바를 해결하기 위하여 도 2 내지 도 4에 도시된 바만 같이 저항충(20, 30, 40)을 형성한다. 따라서 저항충(20, 30, 40)을 마용하여 캐소드 건국(12)에 인기되는 건류를 제어한다.

상기 저항용이 형성된 전계방참소자에 대해서는 미합중국 특허 제4,940,916호, 제5,194,780호 및 제 5.536,993호에 상세히 개시되어 있다.

도 2는 미합증국 특허 제4,940;916호 및 제5,194,780호에 개시된 저항총과 동일한 구성을 갖는다. 도 2를 참조하면, 저항총(20)은 캐쏘드·전국(12)의 수직단면의 일직선·상에 형성된다.

그러나 상기와 같이 저항촉(20)이 형성된 경우에는 저항촉(20)에 핀홀(Pin Hole)이 빈번하게 생성된다. 따라서 상기 핀홀로 인하여 캐소드 전국(12)과 마이크로립(18)이 직접적으로 접촉되기도 한다. 이에 따라 마이크로립(18)으로부터 방출되는 전자의 군암도가 일정하지 못한 문제점이 있었다.

도 3은 미합증국 특허 제5.194,780호에 개시된 저항송과 통일한 구성을 갖는다. 도 3을 참조하면, 전계방 출소지에 인가되는 전기적 신호를 전달하는 버스라면 영역에만 캐소드 전국(12)이 형성되는데, 저항송 (30)은 캐소드 전국(12)을 포함하는 통일면 상에 형성된다.

그러나. 상기와 같이 저항용(30)이 형성된 경우에는 캐소드 전국(12)과 마이크로탑(18)의 이격거리에 따라 저항값이 달라진다: 따라서 일부의 '마이크로탑(18)에 과도한 전류가 인가되기도 한다. 이에 따라 마이크 로탑(18)으로부터 방출되는 전자의 군일도가 알정하지 '못할 뿐만 아니라 마이크로탑(18)이 손상되는 문제 점이 '있었다:

도 4는 미합증국 특허 제5,536,993호에 개시된 저항출과 동일한 구성을 갖는다. 도 4를 참조하면, 전계방 출소자에 인가되는 전기적 신호를 전달하는 버스라인 영역(및 마이크로탑(16)이 형성탑(영역 각각에 개소 도 전국(12)이 형성되는데, 저항총(40)은 캐소드 전국(12)을 포함하는 전면 상에 형성된다. 즉, 저항총 (40)은 캐소드 전국(12)을 포함하는 동일면 및 수직단면의 압적선 상에 형성된다.

그러나 '상기와 같이 저항흥(40)이 '형성된 경우에는 구조가 복잡할 뿐만 '아니라' 저항흥(40)으로 인한 단면 두메의 증가로 게이트 홈 패턴을 용이하게 형성하지 못한다. 이에 따라 마이크로립(18)의 개수가 제한되는 문제점이 있었다.

전술한 도 2 내지 도 4에 도시된 전계방출소자는 화소단위로 저항흥미 형성되기 때문에 하나의 마이크로 팀이 손상되어도 상기 화소 전체에 영향을 까지는 문제점이 있었다.

또한 상기 저항총은 점렬, 노광, 현상 등를 순차적으로 수행하는 사진식각공정으로 형성되기 때문에 전계 방출소자의 제조에 따른 양산성,및 신뢰성이 저하되는 문제점이 있었다.

显图的 的草亚环 商士 기金枣 泽和

본 방향의 제1 목적은 마이크로탑으로부터 방출되는 전자의 균일도의 항상 및 구조의 단순화를 도모하기 위한 전계방출소자를 제공하는 데 있다.

본 발명의 제2 목적은 구조의 단순화 뿐만 아니라 전계방출소자의 제조에 따른 양산성 및 실뢰도를 향상 시키기·위한·전계방출소자의 제조방법을 제공하는 데 있다.

보임의 구성 및 작용

상기 제) 목적을 합성하기 위한 본 발명의 전계방출소자는, 제소도 전국이 유리 기판 또는 십리콘 기판 상에 형성되어 있고, 게이트 참연출 및 게이트 전국이 게이트 품을 가지도록 순차적으로 형성되어 있으며, 상기 게이트 홈 내의 캐소드 전국 상부에 저항충 및 마이크로틸이 순차적으로 형성되어 있다.

사기 제2 문제을 당성하기 위한 본 법명의 전계방출소자의 제조방법은 유리 기판 또는 실리콘 기판 상에 개소도 전국총, 제미트 접면총 및 게미트 전국총을 순차적으로 형성하는 단계와, 상기 개소도 전국총이 일부 노출되는 게미트 접근총 및 게미트 전국총이 일부 노출되는 게미트 종읍 가자도를 상기 게미트 전국총 및 게미트 접면총을 순차적으로 제거하는 단계와, 상기 게미트 폴립 전용에 병원된 제미를 전공총 상에 분리총이 형성되도록 간기 분리총을 회전경시기법으로 형성하는 단계와, 상기 노출된 게소도 전국총 상부 및 상기 분리총 상에 저합총을 형성하는 단계와, 상기 게미트 용 대에 형성된 지합을 상에 마미크로탑을 형성하는 단계로 구성된다.

상기 저항층은 비정할 실리콘을 화학기상중착으로 형성하는데, 자기정립기법을 미용한다.

상기 제2 목적을 달성하기 위한 본 발명의 전계방향소자의 다른 제조방법은, 유리·기판 또는 실리후 기판 상에 제소도 전국을, 케이트 집단을 발 게이트 전국용을 순차적으로 항성하는 단계와, 상기 캐소도 전국 용에 알보 노출되는 거이트 종을 가지도록 상기 게이트 전국을 및 게이트 집단용을 순차적으로 제거하는 단계와, 상기 게이트 홍 내에 노출된 캐소드 전국을, 상기 게이트 골약 속벽 및 상기 게이트 전국을 상에 형성된 금속을 및 저항음을 순차적으로 제거하는 단계와, 상기 게이트 전국용이 노출되도록 상기 게이트 전국을 상에 형성된 금속을 및 저항음을 순차적으로 제거하는 단계와, 상기 게이트 결복내에 형성된 금속음을 식 각마스크로 하여 생기 제이를 즐기 축박에 형성된 저항용을 제거하는 단계와, 상기 저항을 상에 대어크로를 하여 형성되어 있는 저항증이 노출되도록 상기 금속음을 제거하는 단계와, 상기 저항을 상에 마이크로를 을 형성하는 단계로 구성된다.

상기 저항층은 비정함 심리콘을 클라즈마화학기상증착으로 형성하고, 상기 금속층 및 저항층은 씨엠띠를 수행하여 순차적으로 제거된다.

[마라서 저항흥을 독립적으로 형성함으로써, 구조의 단순화를 도모하면서 마이크로탑으로부터 방출되는 전 '자의 균임도탑 일정하게 유지할 수 있다.

이하, 본 발명의 바람직한 실시예를 첨부한 도면에 따라서 더욱 상세히 설명하기로 한다.

도 5는 본 발명에 따른 전계방출소자를 도시한 단면도이고, 도 66 내지 도 69는 본 발명에 따른 전계방출소자의 제조방법의 제1 실시예를 설명하기 위한 단면도이다. 도 76 내지 도 '처는 본 발명에 따른 전계방출소자의 제조방법의 제2 실시예를 설명하기 위한 단면도이다.

도 5를 참조하면, 유리기관 또는 실리콘 기판 등과 같은 기판(50) 상에 캐소드 전국(52)이 형성되어 있다. 그리고 캐소드 전국(52) 상에 게이트 접면송(54) 및 게이트 전국(55)이 순차적으로 형성되어 있다. 상기 게이트 절면송(54) 및 게이트 전국(56)에는 캐소드 전국(52)마 일부 노출되는 게이트 용을 갖는 턴이 형성되어 있다. 상기 게이트 용 내의 게이트 전국(52) 상부에 저항송(57)이 형성되어 있다. 그리고 저항송(57) 상에 마이크로탑(58)이 형성되어 있다. 상기 저항송(57)은 비정질 심리콘으로써 주로 화학기 상증착으로 형성된다.

[마리서 상기 개이트 홍 내에만 저항흥(57)이 형성된 규정이다. 즉, 게이트 홍 내에는 상기 게이트 홍의 형성에 의하여 노출된 캐소드 전국(52), 캐소드 전국(52) 상부에 형성되는 저항흥(57) 그리고 저항흥(57) 상에 형성되는 마이크로립(58)이 적흥되어 있다.

(미와, 감이 구성된, 전계방출소자의 제조방법은 다음과 같다. 자기정렬기법으로 수행되는 전계방출소자의 제조방법을 제1(실시예로,하고) 화학기계적연미(CMP :- Chemical mechanical Polishing)를 수행하는 전계 방출소자의 제조방법을 제2(실시예로 한다.

제1 실시여

도 '6a를 참조하면, 소대'라임 급래스(Soda Line glass)와 같은 유리기준(60) 상에 캐소드 전국흥(62). 게 이트 절면흥(64) 및 게이트 전국흥(66)을 순차적으로 형성한다. 상기 유리기관(60) 대신에 심리콘 기판흥 이용할 수도 있다. 그리고 상기 캐소드 전국흥(62). 게이트 절면흥(64) 및 게이트 전국흥(65)은 화학기상 중착으로 형성된다. 상기 캐소드 전국흥(62)은 캐소드 전국으로 형성되고, 상기 게이트 전국흥(66)은 게 이트 전국으로 형성된다.

도 하를 참조하면, 상기 계소도 전극용(62)이 일부 노출되는 게이트 홀을 갖는 때단이 형성되도록 상기 게이트 전극용(66) 및 게이트 절연용(64)을 순차적으로 제거한다.

도 6c를 참조하면, 삼가 게이트 홀이, 형성된 게이트 전극홍(66), 삼에 제1 분리홍(68)을 형성한다. 삼기 제1 분리홍(68)은 알루미늄 등을 화학기상중확으로 형성한다. 그리고 삼기 제1 분리홍(68)은 회전경사기 법으로 형성하기 때문에 삼기 게이트 홈에는 형성되지 않는다.

도 6d를 참조하면, 상기 제1 분간홍(68) 상에 저항홍(70)을 형성한다. 이때 상기 게이트 홍 내에 노함된 개소도 전극홍(62) 상부에도 저항홍(70)에 형성된다. 그리고 제1 분건홍(68)에 마스크 역할을 하는 자기 정할기법을 이용하기 때문에 상기 게이트 홍의 흑택에는 저항홍(70)에 형성되지 않는다. 이는 상기 제1 분건홍(68)에 마스크 역할을 할 수 있는 것은 상기 제1 분건홍(68)을 회전경사기법으로 형성하기 때문에 다. 즉, 상기 제1분건홍(80)의 단부가 게이트 전극홍(66) 상에 펼쫄되는 형대로 형성되기 때문이다. 상기 제2홍(70)은 비장집 살리콘을 즐라즈마화학기상증착으로 형성한다.

이어서, 상기 저항출(70) 상에 축출하는 마이크로립(76)을 형성하면 도 5에 도시된 바와 같은 전계방출소 자가 형성된다.

상기 마이크로팁(76)의 형성은 다음과 같다. 먼저 도 6e를 참조하면, 상기 게이트 전극층(66) 상에 형성

- 된 저항용(70) 상에만 제2(분리용(72)를 형성한다. 제2(분리용(72))또한 상거(제1 분리용(68)과 미참가지로 회전경사기법으로 형성한다.
- 도 6를 참조하면, 상기 마이크로립(76)를 형성하기 위한 금속용(74)를 수직중확한다. 이때, 상기 게이트 용내에 형성된 저항용(70) 상에 마이크로립(76)이 형성된다.
- 도 69를 참조하면, 생기, 게이트, 건국, 상에, 형성된 생기, 금속총(74), 제2.분리총(72), 저항흥(70), 및 제1분리총(60)을 순차적으로 제거한다. 따라서 도 5에 도시된 바와 같은 전계방출소자가 형성된다. 즉 개미트 홍대에 형성된 마이크로림(76) 각각에 저항총(70)이 형성된다.
- '이에 '따라 '상기 '마이크로탑(76)으로부터 방향되는 '전자의' 군암도는 '엄청하게 '유지된다.. 즉.. 마이크로탑 (76) '각각에 '형성되어' 있는 '저항총(70)이 '캐소트 '전국총(62)으로 '형성된 '캐소드 '전국에 '인가되는 '전류를 용이하게 제어하기 때문이다.
- 그리고(하나의 마이크로립(76)이 손상되어도 저항송(70)이 독립적으로 형성되어 있기 때문에 화소·전체에 는 영향을 계치지 않는데:
- 또한 상기 마이크로탑(76)을 형성하는 개수에 제한이 기해지지 않는다
- 그리고 상기 저항송(70)은 자기정렬기법을 이용한 화학기상증착으로 형성되기 때문에 전계방출소자의 제 조시 제조공정에 따른 어려움이 경감된다.

제2 실시에

- 도 개념을 참조하면, 소타 라임, 급래스(Soda, Fine glass)와 같은 유리기판(80) 상에 캐소드 전국측(82), 게 이트, 절면총(84) 및 게이트, 전국총(86)을, 순차적으로, 형성한다. 상기, 유리기판(80) 대신에 실리콘 기판을 이용할 수도 있다. 그리고, 상기 캐소드, 전국총(82), 게이트, 절면총(84) 및 게이트, 전국총(86)은 화학기상 증착으로 형성된다. 상기 캐소드 전국흥(82)은 캐소드 전국으로 형성되고, 상기 게이트 전국총(86)은 게 이트, 전국으로 형성된다.
- 도 76를 참조하면, 삼기 개소드 전극층(62)이 일부 노출되는 게이트 용을 갖는 패턴이 형성되도록 상기 게이트 전극층(66) 및 게이트 절연층(64)을 순차적으로 제거한다는
- 도 ''C를 참조하면', 상기 게이트 전극총(86) 상에 지합총(89)을 형성한다. 이때 상기 게이트 '용 내에 노합되는 개소드 건극총(82)과 상기 게이트 '음의 속벽에도' ''저합총(89)이 형성된다. 상기 ''저합총(89)은 비정질심리콘을 흥리스마화한기상증확으로 형성한다. 이머사 상기 '저합홍(88) 상에 화한기상증확으로 금속홀(90)을 형성한다. 미찬가지로 상기 게이트 용 내에도 금속홍(90)이 형성된다. 따라가지로 상기 게이트 용 내에도 금속홍(90)이 형성한다. 대찬가지로 상기 게이트 용 내에도 금속홍(90)이 형성한다. 저합홍(88) 및 금속홍(80)이 순차적으로 형성된다.
- 도 7d를 참조하면, :게이트 전국형(86)이 노합되도록 금속형(90) 및 저항형(88)을 순차적으로 제거한다. 상기 금속형(90) 및 저항형(88)은 화학기계적연마로 제거한다는데에 따라 게이트,전국형(86)이 노합된다.
- 도 76물 참조하면, 상기 게이트 홈 내에 흑벽에 형성된 저항촉(88)를 식각한다. 상기 식각은 습식식각을 수행하는데, 이때 식각마스크는 상기 게이트 홈 내에 형성된 금속총(90)이다.
- 도 개념 참조하면, 상기 석각마스크인 금속층(90)을 제거시킨다. 이에 따라 게이트 홍(내에만 저항층(8) 8)이 형성된다.
- 이어서, 상기, 저항충(88) 상에 후술하는 마이크로립(96)을 형성하면 도:5에 도시된:바와 같은 전계방출소 지가 형성된다.
- 상기·마이크로빌(96)의 형성은 다음과 같다. 먼저 도 개념 참조하면, 상기 게이트 전략총(86) 상에 최상 총(92)을 형성한다. 상기 회생총(92)은 압투미늄 등을 입력트론빈(Electron beam)을 이용하여 형성한다. 그리고 상기 회생총(92)은 회전경사기법으로 형성하기 때문에 상기 게이트 홈메는 형성되지 않는다.
- 도 7g을 참조하면, 미이크로탑(96)을 형성하기 위한 금속출(94)을 수직중착한다. 이때, 상기 게이트 홀 내에 형성된 저항총(88) 상에 미이크로탑(96)이 형성된다. 상기 금속총(94)은 일렉트론범을 이용하며 형 성한다.
- 도 ''h를 참조하면, 상기 게이트 전극총(86) 상에 형성된 상기 금수총(94) 및 회생흥(92)을 순차적으로 제 거한다. '따라서 도 'SM' 도시된 '바와 같은 전계방출소자가 형성된다.' 즉, 게이트 '홀내에 형성된 '마이크로 팀(96) '각각에 '저항흥(88)이 형성된다.
- 이에 따라 상기 마이크로탑(%)으로부터 방출되는 전자의 균일도는 일정하게 유지된다. 즉, 마이크로탑 (%) 각각에 설정되어 있는 자항출(88)이 캐소드 전국종(82)으로 형성되는 캐소드 전국에 인가되는 전류 급 용이하게 제대하기 때문이다.
- 그리고 하나의 마이크로립(96)이 손상되어도 저항총(88)이 독립적으로 형성되어 있기 때문에 화소 전체에는 영향을 끼치지 않는다.
- 또한 상기 마이크로탑(96)을 형성하는 개수에 제한이 기해지지 않는다.

294 57

- (D라서 본 방영은 마이크로립으로부터 방출되는 전자의 균일도를 일정하게 유지할으로써 소망하는 화상을 정확하게 구현활 뿐만 머니라 전계방출소자의 수명이 연장되는 효과가 있다.
- 그리고 사진식각공정을 회피하면서 저항흥을 형성하기 때문에 전계방출소자의 제조에 따른 양산성 및 신뢰성이 향상되는 효과가 있다.

또한 저항송을 독립적으로 형성함으로써 하나의 화소단의 내에 형성되는 마이크로립 개수에 제한이 경감된다. 따라서 전계방출소자의 하상도가 항상되는 효과가 있다.

이상에서 본 발명은 기계된 구체에에 대해서만 상세히 설명되었지만 본 발명의 기술사상 범위 내에서 다 양한 변형 및 수정이 가능함은 당업자에게 있어서 명백한 것이며, 이러한 변형 및 수정이 첨부된 특허형 구범위에 속함은 당연한 것이다.

(牙) 君子의 世界

경구함 1

유리 기판 또는 실리콘 기판 상에 형성된 캐소드 전국;

상기 개소도 전국이 일부 노출되는 게이트 홈홈 가지면서 상기 개소도 전국 상에 순치적으로 형성된 게이트 토 절면형 및 게이트 전국:

상기 게이트 홀 내의 캐소드 전국 상부에 형성된 저항층: 및

상기 저항총 상에 형성된 마이크로탑을 구비하여 이루어짐을 특징으로 하는 전계방출소자.

원그라 2

제 1 항에 있어서, 상기 저항총은 비정질 실리콘인 것을 특징으로 하는 전계방출소자

경구한 3

- (i) 유리 기판 또는 실리콘 기판 상에 캐소드 친극총: 게이트 절연총 및 게이트 전극총을 순치적으로 현생하는 다게:
- (iii) 상기 캐소드 전국층이 일본 도랍되는 게이트 흡흡 가지도록 상기 게이트 전국층 및 게이트 점연층을 순차적으로 제거하는 단계:
- (iii) 상기 케이트 홈이 형성된 게이트 전국층 상에 분리층이 형성되도록 상기 분리층을 회전경사기법으로 형성하는 단계
- (※) 상기 노출된 케소드 전극총 상부 및 상기 분리총 상에 저항총을 형성하는 단계, 및
- (v) 상기 게이트 중 내해 형성된 저항충 상에 마이크로탑을 형성하는 단계를 구비하여 이루어짐을 특징 으로 하는 전계방출소자의 제조방법

청구항 4

제 3.호에 있어서, 상기 (*)의 저항층은 비정질 실리콘을 자기정렬기법으로 형성하는 것을 특징으로 하는 전계방출소자의 제조방법.

성구한 5

- (I) 유리(기판(또는 심리콘 기판 상에) 개소도 전국용, 게이트 절면용 및 게이트 전국용을 순차적으로 형 성하는 단계:
- (2) 삼기 캐소드 전국총이 일부 노출되는 게이트 홈물 가지도록 상기 게이트 전국총 및 게이트 절면총을 순치적으로 제거하는 단계:
- (3) 상기 게이트 홈 내에 노출된 캐소드 전극층, 상기 게이트 흡의 축박 및 상기 게이트 전극층 상에 저 항층 및 금속층을 순차적으로 형성하는 단계:
- (4) 삼기 게이트 전국총이 노출되도록 삼기 게이트 전국총 상에 형성된 금속총 및 저항종을 순차적으로 제거하는 단계:
- (5):상기 게이트 홈 내에 형성된 금속총을 식각마스크로 하여 상기 게이트 홈의 축력에 형성된 저항충을 제거하는 단계:
- (6) 삼기 (5)의 식각마스크인 금속층 하에 형성되어 있는 저항층이 노출되도록 삼기 금속증률 제거하는 단계: 및
- (7) 상기 (6)의 저항총 상에 마이크로탑을 형성하는 단계를 구비하여 이루어짐을 복장으로 하는 전계방을 소자의 제조방법

청구함 6

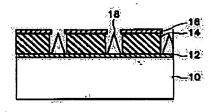
제 5 항에 있어서, 상기 (3)의 지항용은 비정점 실리콘을 플라즈미화학기상증확으로 형성하는 것을 특징 으로 하는 전계방출소자의 제조방법

청구항 7

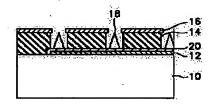
재 5 항에 있어서, 상기 (4)의 금속층 및 저항층은 화학기계적연마(CMP)를 수행하여 순차적으로 제거하는 것을 특징으로 하는 전계방출소자의 제조방법:

£Θ

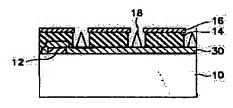
도图1



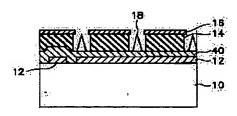
5B2



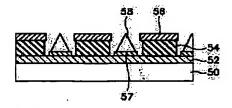
*⊑⊵*3



S 84



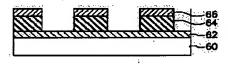
*⊑0*5



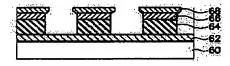
*⊊ 2*68



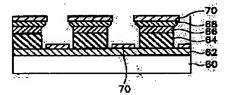
<u>58</u>06

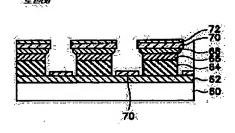


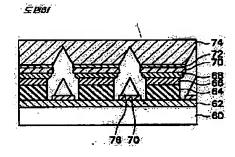
5 BB0

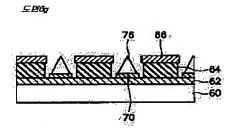


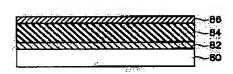
⊊₽Ød











5.017a

